

JP2003938

Title:  
**FIELD EFFECT TRANSISTOR**

Abstract:

**PURPOSE:**To reduce leak current, and increase drain resistance by forming a gate electrode in the most inside of a recessed part. **CONSTITUTION:**In a field effect transistor, a multi-stage type recessed part 6 is formed so as to become gradually deep and narrow toward the inside, and a gate electrode 2 is formed in the most inside of the recessed part 6. Thereby, electric field concentration is dispersed and the backward breakdown strength of gate can be increased. Further electric field concentration between a gate 2 and a drain 3 also can be dispersed, and the leak current between an operating layer and a buffer layer is reduced, and the drain resistance can be increased.

## ⑫ 公開特許公報(A)

平2-3938

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月9日

H 01 L 21/338  
21/306  
29/812

F 7342-5F

7733-5F H 01 L 29/80

B

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 電界効果トランジスタ

⑮ 特 願 昭63-153071

⑯ 出 願 昭63(1988)6月20日

⑰ 発 明 者 坂 本 晋 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 発 明 者 園 田 琢 二 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

電界効果トランジスタ

## 2. 特許請求の範囲

ゲート部にリセス構造を有する電界効果トランジスタにおいて、リセス部を内側に向かって徐々に深く、かつ幅が狭くなるように多段状に形成するとともに、前記リセス部の最内側にゲート電極を形成したことを特徴とする電界効果トランジスタ。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、ゲートリセス構造(以下リセス構造という)を有する電界効果トランジスタに関するものである。

(従来技術)

第5図は従来の電界効果トランジスタのリセス構造を示した断面図である。この図において、1はソース電極、2はゲート電極、3はドレイン電極、4は電流通路となる活性層、5は半絶縁性

G a A s からなる基板、6はリセス部、wはリセス幅、tはリセス深さ、aはゲート電極2の下の活性層厚さである。

電界効果トランジスタでは、通常第5図に示すように、ゲート電極2の取付部の活性層4を、エッチングにより所定の電流値( $I = N \cdot a$ )になるように活性層厚さaまで掘り込むリセス構造が採用されている。ただし、Nはキャリア濃度である。このリセス構造のリセス幅wとリセス深さtにより、電界効果トランジスタのRF性能およびゲート逆方向耐圧が大きく左右される。また、ゲート逆方向耐圧を大きくするにつれてRF性能が劣化するという傾向がある、これらの原因としては、ゲート逆方向耐圧を決定する空乏層の拡がりおよびRF性能に大きな影響を与える寄生抵抗ならびに寄生容量がリセス構造により大きく変化する事があげられ、リセス幅wとリセス深さtの最適化が試みられている。しかしながら、リセス幅Wとリセス深さtを制御する方法では、高耐圧化、高性能化に制約が多く、また、従来の1段リセス

ではリセスエッジへの電界集中が起こり、ゲート・ドレイン間の電界集中を分散することができない。

(発明が解決しようとする課題)

上記のような、従来の電界効果トランジスタでは、高耐圧化、高性能化に制約が多く、ゲート逆方向耐圧を向上させ、かつゲート・ソース間の寄生抵抗を低減することはリセス幅 $W$ とリセス深さ $t$ の最適化だけでは困難であった。また、ゲート・ドレイン間の電界集中がリセスエッジ1箇所に集中するという問題点を有していた。

この発明は、かかる課題を解決するためになされたもので、ゲート・ソース間の寄生抵抗の増大を抑制でき、動作層とバッファ層界面のリーク電流を減少できるうえ、ドレイン抵抗を大きくできる電界効果トランジスタを得ることを目的とする。

(課題を解決するための手段)

この発明に係る電界効果トランジスタは、リセス部を内側に向って徐々に深く、かつ幅が狭くな

りリセス部6を内側に向って徐々に深く、かつ幅が狭くなるように多段状に形成して、ゲート電極2が形成される最内側のリセス幅を従来の1段のリセスのリセス幅よりも狭くしている。

すなわち、内側に向って徐々に深く、かつ幅が狭くなるように多段状に形成することにより、電界集中が各段のエッジに分散され、ゲート・ドレイン耐圧が向上するうえ、ゲートドレイン間の電界集中が分散されることにより、バッファ層(活性層4と基板5の界面)のリーク電流が減少し、ドレイン抵抗を増大させてRF性能を向上させることが可能になる。

また、ゲート電極2が形成される最内側のリセス幅を従来の1段のリセスのリセス幅よりも狭くすることにより、寄生抵抗の増大を抑制できる。

次に第2図(a)～(i)を用いて製造工程の一例を説明する。

まず、活性層4の上に半導体表面保護膜8を形成し(第2図(a))、その上にレジスト7でゲートパターンを形成し、その開孔部より半導体

るように多段状に形成するとともに、リセス部の最内側にゲート電極を形成したものである。

(作用)

この発明においては、リセス部が多段状に形成されたことにより電界集中が分散される。さらに、ゲート・ドレイン間の電界が分散され、動作層とバッファ層界面のリーク電流が減少する。また、活性層表面より一番深い最内側のリセス幅を従来の1段リセスのリセス幅より狭くすれば、ソース・ゲート間抵抗の増大が抑制される。

(実施例)

第1図はこの発明の電界効果トランジスタの実施例を示す断面図、第2図(a)～(i)、第3図(a)～(h)はその製造工程の一例を説明するための断面図であり、第4図(a)～(c)は電極形成工程を説明するための断面図である。

これらの図において、第5図と同一符号は同一のものを示し、7はレジスト、8は半導体表面保護膜、9は表面空乏層である。

この発明の電界効果トランジスタにおいては、

表面保護膜8を選択エッチングする(第2図(b))。

次いで活性層4を選択エッチングした後(第2図(c))、半導体表面保護膜8をさらに選択エッチングする(第2図(d))。次に再度活性層4を選択エッチングする(第2図(e))。以下、同様の工程を繰り返して多段状のリセス部6を形成し(第2図(f)、(g))、蒸着、リフトオフによりゲート電極2を形成する(第2図(h)、(i))。

そしてこの後、ゲート電極2の熱処理を行い、第4図(a)～(c)に示すように、ソース電極1、ドレイン電極3を形成すれば、第1図に示した電界効果トランジスタが得られる。

また、他の手順による製造工程を第3図(a)～(i)を用いて説明する。

まず、活性層4上に形成したリセスパターンのレジスト7を用いてリセス部6を形成する第3図(a)。次いでレジスト7を除去した後、半導体表面保護膜8により全面を覆う(第3図(

b) )。次いでレジスト7でゲートパターンを形成し(第3図(c))、その開孔部より半導体表面保護膜8、活性層4を選択エッチングする(第3図(d))。次に再度半導体表面保護膜8を選択エッチングした後(第3図(e))、活性層4を選択エッチングして多段状のリセス部6を形成し(第3図(f))、その後蒸着、リフトオフによりゲート電極2を形成する(第3図(g)、(h))。

この場合もゲート電極2の熱処理を行い、第4図(a)～(c)に示すようにソース電極1、ドレイン電極3を形成すれば、第1図に示した電界効果トランジスタが得られる。

ただし、第2図(a)～(i)の製造工程例ではゲートパターンのレジスト7により多段状リセス構造を得ているので、活性層4のエッチング回数が多くなると、リセス部6の最内側のリセス幅がレジスト7の開孔部より徐々に広くなる。

他方、第3図(a)～(h)の製造工程の例ではリセスパターンのレジスト7により1度活性層

4のエッチングをしてリセス部6を一定の幅で形成しておくので、この工程による方がリセス部6の幅が最内側のリセス幅を第2図(a)～(i)の製造工程の例よりも狭く作ることができる。

なお、上記実施例ではGaAs電界効果トランジスタについて説明したが、異なる電子親和力を持つ半導体層からなるヘテロ接合を持つ高移動度トランジスタ(HEMT)やSi等により作成された他の電界効果トランジスタにも適用できることはいうまでもない。

(発明の効果)

この発明は以上説明したとおり、リセス部を内側に向かって徐々に深く、かつ幅が狭くなるように多段数状に形成するとともに、リセス部の最内側にゲート電極を形成したので、電界集中を分散させてゲート逆方向耐圧を向上させることができる。とともに、ゲート・ドレイン間の電界集中も分散でき、動作層とバッファ層界面のリーク電流を減少させてドレイン抵抗を大きくすることが可能になるという効果がある。また、最下層リセス幅を

従来の1段リセス幅より狭くすればゲート・ドレイン抵抗の増加を抑制できるという効果もある。

#### 4. 図面の簡単な説明

第1図はこの発明の電界効果トランジスタの一実施例を示す断面図、第2図、第3図、第4図は第1図に示した電界効果トランジスタの製造工程を説明するための断面図、第5図は従来の電界効果トランジスタを示す断面図である。

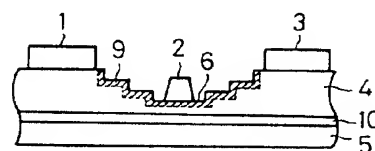
図において、1はソース電極、2はゲート電極、3はドレイン電極、4は活性層、5は基板、6はリセス部、7はレジスト、8は半導体表面保護膜である。

なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

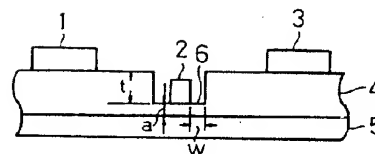
(外2名)

第 1 図

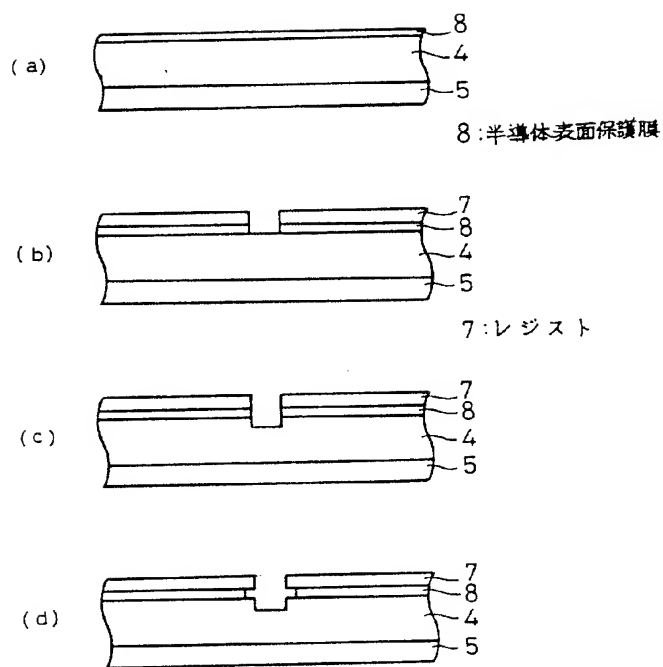


- 1: ソース電極
- 2: ゲート電極
- 3: ドレイン電極
- 4: 活性層
- 5: 基板
- 6: リセス部

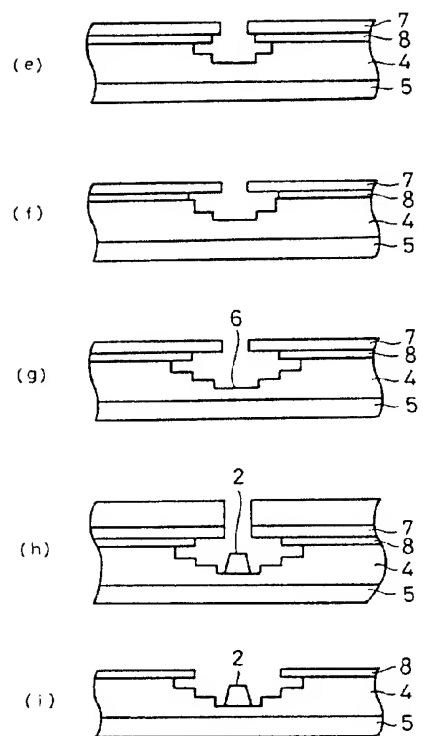
第 5 図



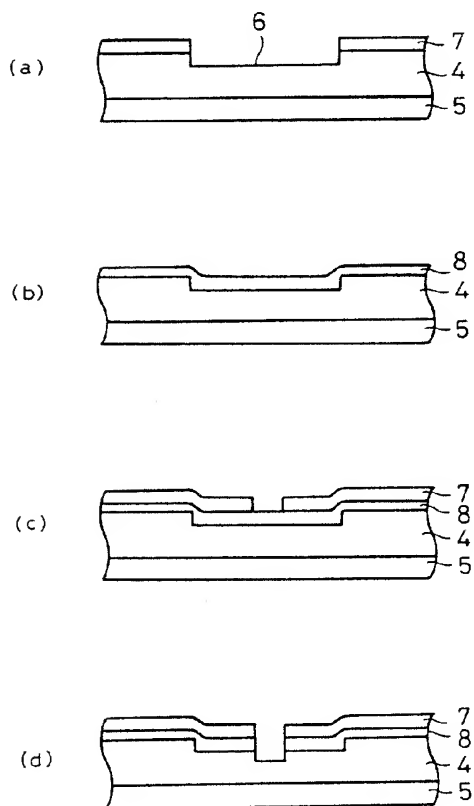
第 2 図



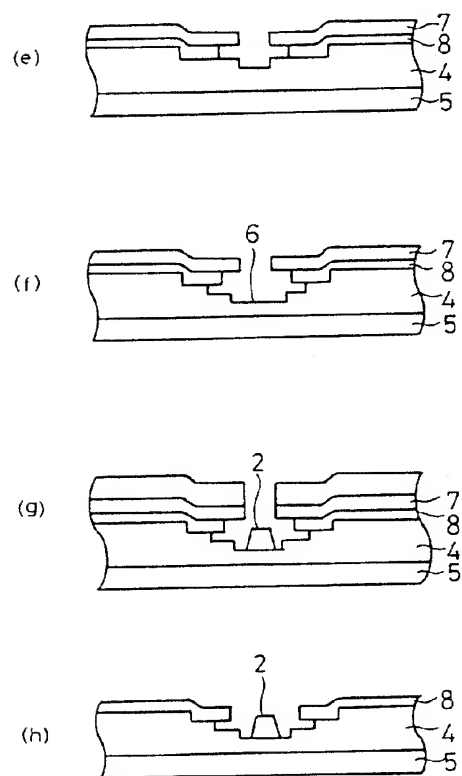
第 2 図



第 3 図



第 3 図



第 4 図

